

4/ Priority
Doc. E. J. Billis
4-16-02



대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 56515 호
Application Number PATENT-2001-0056515

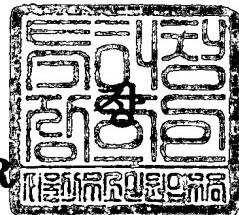
출원년월일 : 2001년 09월 13일
Date of Application SEP 13, 2001

출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2001 년 11 월 23 일

특허청

COMMISSIONER



【서지사항】

【수수료】

【기본출원료】	15	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	14	항	557,000	원
【합계】			586,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 미세 선폭의 비트라인(bit line)을 용이하게 형성할 수 있는 비트라인 형성방법에 관해 개시한다.

개시된 본 발명의 비트라인 형성방법은 기판 상에 비트라인 형성용 도전층 및 절연층을 차례로 형성하는 단계; 절연층 상에 소정영역을 개구시키는 제 1마스크 패턴을 형성하는 단계; 제 1마스크 패턴을 식각하여 제 2 마스크패턴을 형성하는 단계; 제 2마스크패턴을 이용하여 절연층을 제거하는 단계; 제 2마스크패턴을 제거하는 단계; 및 잔류된 절연층을 마스크로 하여 도전층을 제거하여 비트라인을 형성하는 단계를 포함한다.

【대표도】

도 4b

【명세서】**【발명의 명칭】**

비트라인 형성방법{method for manufacturing bit line}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 따른 비트라인 형성과정을 보인 공정단면도.

도 2a 내지 도 2c 및 도 3은 종래기술의 문제점을 보인 도면.

도 4a 내지 도 4d는 본 발명에 따른 비트라인 형성과정을 보인 공정단면도.

도 5는 본 발명에 따른 비트라인 공정단면도.

도면의 주요부분에 대한 부호의 설명

200. 반도체기판

202. 도전층

203. 비트라인

204. 절연층

205. 하드마스크

208, 209. 감광막 패턴

210. 등방성 건식식각 공정

212, 214. 이방성 건식식각 공정

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체장치의 형성방법에 관한 것으로, 보다 상세하게는 미세 선 폭의 비트라인(bit line)을 용이하게 형성할 수 있는 비트라인 형성방법에 관한 것이다.

- <11> 일반적으로 알려진 바와 같이, 반도체소자가 고집적화됨에 따라 점차로 회로 선폭의 사이즈(size)가 감소하고 있는 실정이다. 특히, 비트라인 형성 후 후속 공정의 (캐패시터의 스토리지노드 전극 등의) 도전층과의 전기적인 절연을 위한 충간절연층 증착 공정과 셀프 어라인 콘택(self align contact) 공정에서의 공정 마진(margin)을 확보하기 위해, 1기가(Giga) 디램(DRAM)급 이상의 제품에서는 $0.1\mu\text{m}$ 이하의 비트라인의 회로선폭을 요구하고 있다.
- <12> 그러나, 이러한 미세 선폭의 비트라인을 형성하는 것은 현재의 포토(photo) 장비로는 어려운 실정이며, $0.1\mu\text{m}$ 이하의 비트라인의 선폭을 형성하기 위해 전자빔 마스킹을 이용한 작업으로 포토 마스킹 작업을 진행하고 있으나, 생산성이 낮은 문제점이 있었다.
- <13> 도 1a 내지 도 1c는 종래 기술에 따른 비트라인 형성과정을 보인 공정단면도이다. 또한, 도 2a 내지 도 2c 및 도 3은 종래기술의 문제점을 보인 도면이다.
- <14> 종래 기술에 따른 비트라인 형성방법은, 도 1a에 도시된 바와 같이, 반도체기판(100) 상에 비트라인 형성용 도전층(102) 및 절연층(104)을 차례로 형성한다. 이때, 상기 절연층(104)은 이 후의 비트라인을 형성하기 위한 공정 진행 시에 하드마스크(hard mask)로서의 역할을 한다. 또한, 도면에는 도시되어 있지 않지만, 상기 반도체기판(100)은 소오스/드레인(source/drain)의 도전영역 및 게이트(gate)를 포함한 트랜지스터(transistor)가 형성된 구조를 가진다.
- <15> 이어서, 상기 절연층(104) 상에 감광막(PR:PhotoResist)을 도포하고 노광 및 현상하여 비트라인 형성영역을 덮는 감광막 패턴(106)을 형성한다. 상기 감광

막 패턴(106)은, 통상의 포토장비를 이용하는 경우, 최소 $0.14\mu\text{m}$ 정도의 선폭을 가지도록 패터닝된다.

<16> 그 다음, 도 1b에 도시된 바와 같이, 상기 감광막 패턴(106)을 식각마스크로 하고 상기 절연층을 제거하여 하드마스크(105)를 형성한다. 이때, 상기 절연층 제거는 1차 이방성 건식식각 공정(112)에 의해 진행된다.

<17> 이 후, 상기 감광막 패턴을 제거하고, 도 1c에 도시된 바와 같이, 상기 결과물을 하드마스크(105)로 가리고, 2차 이방성 건식식각 공정(114)에 의해 상기 도전층을 식각하여 비트라인(103)을 형성한다.

<18> 이때, 상기 비트라인(103)은 상기 2차 이방성 건식식각 공정(114)에 의해 잔류된 도전층이 되며, 상기 마스크패턴과 동일한 $0.14\mu\text{m}$ 정도의 선폭을 가지도록 패터닝된다.

【발명이 이루고자 하는 기술적 과제】

<19> 그러나, $0.14\mu\text{m}$ 이하의 선폭을 갖는 고집적 디바이스에서는 라인 & 스페이스(line & space)가 줄어드는데 비해 상대적으로 비트라인 형성용 도전층의 저항문제로 인하여 도전층의 높이(height)는 증가하고 있다.

<20> 또한, 비트라인의 경우 후속 공정인 캐패시터의 스토리지노드 전극용 콘택과의 셀프어라인 콘택을 형성하기 위해, 비트라인 형성용 도전층 상부에 하드마스크형성용 절연층이 추가되기 때문에 비트라인의 높이는 더욱 증가할 수 밖에 없다.

<21> 이러한 상대적인 스페이스의 감소와 높이 증가는 비트라인과 스토리지노드 전극과의 분리를 위한 하드마스크 형성용 절연층 증착이 어렵다.

<22> 종래의 방법을 적용하여 비트라인의 선폭을 $0.14\mu\text{m}$ 보다 좁은 $0.1\mu\text{m}$ 이하로 제작할 경우, 이후의 공정에서 비트라인과의 절연을 위한 층간절연층 증착 및 셀프 어라인 콘택 공정을 진행할 시에, 도 2a 내지 도 2c 및 도 3에 도시된 바와 같이, 상기 층간절연층의 캡필 불량으로 인해 비트라인 형성용 하드마스크가 손상되거나 끊어지게 되고, 이후의 공정에서 형성될 스토리지노드 전극들 간에 브릿지(bridge)가 발생되며, 또한 콘택 마진을 확보하지 못하여 셀프 어라인 콘택이 오픈되지 못하는 문제점이 있었다.

<23> 이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, $0.1\mu\text{m}$ 이하의 미세선폭을 갖는 비트라인을 용이하게 제조할 수 있는 비트라인 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위한 본 발명의 비트라인 형성방법은 기판 상에 비트라인 형성용 도전층 및 절연층을 차례로 형성하는 단계; 절연층 상에 소정영역을 개구시키는 제 1마스크 패턴을 형성하는 단계; 제 1마스크 패턴을 식각하여 제 2마스크패턴을 형성하는 단계; 제 2마스크패턴을 이용하여 절연층을 제거하는 단계; 제 2마스크패턴을 제거하는 단계; 및 잔류된 절연층을 마스크로 하여 도전층을 제거하여 비트라인을 형성하는 단계를 포함한 것을 특징으로 한다.

<25> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<26> 도 4a 내지 도 4d는 본 발명에 따른 비트라인 형성과정을 보인 공정단면도이다.

<27> 본 발명에 따른 비트라인의 형성방법은, 도 4a에 도시된 바와 같이, 트랜지스터가 형성된 반도체기판(200) 상에 비트라인 형성용 도전층(202) 및 하드마스크 형성용 절연층(204)을 차례로 형성한다.

<28> 이때, 상기 도전층(202)의 재질로는 텅스텐(W:tungsten) 또는 텅스텐실리사이드(WSiX) 등의 도전물질을 이용하며, 상기 절연층(204)으로는 산화막 또는 질화막을 이용한다.

<29> 이어서, 상기 절연층(204) 상에 감광막을 도포하고 노광 및 현상하여 소정영역을 개구시키는 제 1감광막 패턴(208)을 형성한다. 상기 제 1감광막 패턴(208)은 현재 사용되는 포토장비를 이용하는 경우, 최하 $0.14\mu\text{m}$ 가량의 폭을 가지도록 패터닝된다.

<30> 그 다음, 도 4b에 도시된 바와 같이, 동방성 건식식각(210) 공정에 의해 상기 제 1감광막 패턴(208)을 일부 제거하여 상기 제 1감광막 패턴(208) 폭보다 좁은 제 2감광막 패턴(209)을 형성한다.

<31> 이때, 상기 동방성 건식식각(210) 공정은 마이크로파(microwave)를 소오스(source)로 하는 플라즈마(plasma) 건식식각 장비 내에서 산소가스(O_2 gas)를 공급하여 진행된다. 상기 산소가스는 800sccm, 바람직하게는 350~450sccm의 유량으로 공급된다.

- <32> 또한, 상기 마이크로파는 400와트(Watt), 바람직하게는 200~300와트 이하의 파워(power)로 공급되고, 상기 건식 식각 장비는 600~1000mT의 압력을 가지며, 제1감광막 패턴은 1분당 3000Å 이하의 두께로 식각되어지는 속도로 진행한다.
- <33> 상기 등방성 건식식각(210) 공정을 진행한 결과, 상기 등방성 건식식각 공정(210)에 의해 제 2감광막 패턴(209)은 최소 $0.1\mu m$ 정도의 폭을 가지도록 패터닝 된다.
- <34> 이 후, 도 4c에 도시된 바와 같이, 상기 제 2감광막 패턴(209)을 마스크로 이용하여 상기 절연층에 1차 이방성 건식식각(212) 공정을 실시하여 하드마스크(205)를 형성한다. 상기 하드마스크(205)는 잔류된 절연층으로, 이 후의 비트라인 패터닝 시에 식각 마스크 역할을 한다.
- <35> 이어서, 제 2감광막 패턴을 제거하고, 도 4d에 도시된 바와 같이, 상기 하드마스크(205)로 가리고, 상기 도전층을 식각하여 비트라인(203)을 형성한다. 이때, 상기 도전층 식각은 2차 이방성 건식식각 공정(214)에 의해 진행된다.
- <36> 또한, 상기 비트라인(203)은 잔류된 도전층이 되며, 제 2감광막 패턴과 동일한 형상으로 패터닝되어지므로 상기 제 2감광막 패턴과 동일한 $0.1\mu m$ 의 선폭을 가지게 된다.
- <37> 상기에서 언급한 바와 같이, 본 발명에서는 $0.14\mu m$ 의 선폭을 가진 제 1감광막 패턴에 마이크로파를 사용하는 플라즈마 방식의 건식식각 장비를 이용하여 등방성 건식식각 공정을 진행함으로써, $0.1\mu m$ 이하의 폭을 가진 제 2감광막 패턴을

형성하고, 상기 제2감광막 패턴을 이용하여, 도 5에 도시된 바와 같이, $0.1\mu\text{m}$ 이하의 선폭을 가진 비트라인을 형성할 수 있다.

<38> 상기 등방성 건식식각 공정(210)의 조건은, 캐소드(cathod)(미도시)는 100°C 이하의 온도를 유지시키고, 주식각가스로는 산소(O_2)가스를 이용한다.

<39> 이때, 사용되는 산소가스는 800sccm 의 유량을 유지한다. 그리고 상황에 따라 50sccm 이하의 CF_4 가스를 첨가할 수도 있는데, 이러한 경우에는 산소가스가 $350\sim450\text{sccm}$ 의 유량을 유지하도록 한다. 또한, 마이크로파 파워는 400와트(W) 이하의 낮은 소오스 파워를 인가하고, 압력을 $600\sim1000\text{mT}$ 로 조절한다.

<40> 상기 조건을 이용하여 건식식각 공정을 진행하게 되면, 등방성 식각 특성이 진행되어 비트라인의 선폭을 최소 $0.1\mu\text{m}$ 까지 조절할 수 있다.

【발명의 효과】

<41> 이상에서와 같이, 본 발명의 방법에서는 비트라인이 $0.1\mu\text{m}$ 이하의 미세한 선폭을 가짐으로써, 이후의 공정에서 비트라인과의 절연을 위한 층간절연층을 증착할 경우에 상기 층간절연층의 캡필불량을 방지할 수 있고, 또한 셀프 어라인 콘택 공정에서의 공정마진을 확보하여 소자의 신뢰성을 확보할 수 있다.

<42> 또한, 본 발명은 통상의 마이크로파 파워를 사용하는 건식식각장비를 이용하여 비트라인의 선폭을 $0.1\mu\text{m}$ 이하로 형성가능함으로써, 건식식각장비의 추가에 따른 생산비용을 절감할 수 있고, 또한 고집적화된 소자개발이 가능하다.

<43> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 비트라인 형성용 도전층 및 절연층을 차례로 형성하는 단계;

상기 절연층 상에 소정영역을 개구시키는 제 1마스크 패턴을 형성하는 단계;

상기 제 1마스크 패턴을 식각하여 제 2마스크 패턴을 형성하는 단계;

상기 제 2마스크패턴을 이용하여 상기 절연층을 제거하는 단계;

상기 제 2마스크패턴을 제거하는 단계; 및

상기 잔류된 절연층을 마스크로 하여 상기 도전층을 제거하여 비트라인을 형성하는 단계을 포함하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 2】

제 1항에 있어서, 상기 제 1마스크 패턴은 감광막을 포토리쏘그파리 공정에 의해 식각하여 형성하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 3】

제 1항에 있어서, 상기 제 2마스크 패턴은 상기 제 1마스크 패턴을 등방성 건식 식각하여 형성하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 4】

제 3항에 있어서, 상기 등방성 건식 식각 공정은 마이크로파를 이용하는 플라즈마 방식의 건식식각 장비에서 진행하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 5】

제 3항에 있어서, 상기 등방성 건식식각 공정은 산소가스를 공급하여 진행하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 6】

제 5항에 있어서, 상기 산소가스에 CF₄가스를 추가하여 공급하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 7】

제 5항에 있어서, 상기 산소가스는 350~450sccm 의 유량으로 공급하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 8】

제 5항에 있어서, 상기 산소가스는 800sccm 의 유량으로 공급하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 9】

제 3항에 있어서, 상기 등방성 건식식각 공정은 400와트 이하의 소오스파워를 인가하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 10】

제 3항에 있어서, 상기 등방성 건식식각 공정은 200~300와트의 소오스파워를 인가하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 11】

제 3항에 있어서, 상기 등방성 건식식각 공정은 600~1000mT의 압력을 가하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 12】

제 1항에 있어서, 상기 절연층은 산화막 또는 질화막을 이용하는 것을 특징으로 하는 비트라인 형성방법.

【청구항 13】

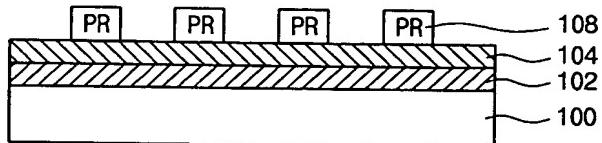
제 1항에 있어서, 상기 도전층은 텅스텐 또는 텅스텐실리사이드인 것을 특징으로 하는 비트라인 형성방법.

【청구항 14】

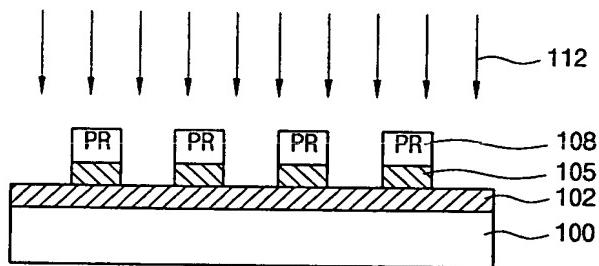
제 1항에 있어서, 상기 제 2마스크패턴은 상기 제 1마스크 패턴을 1분당 3000Å 이하의 두께로 식각하는 속도로 형성하는 것을 특징으로 하는 비트라인 형성방법.

【도면】

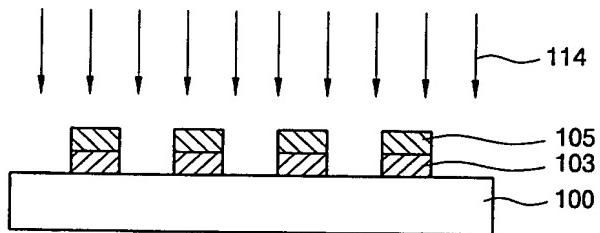
【도 1a】



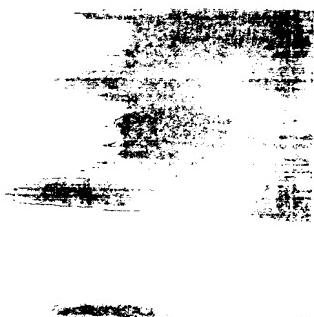
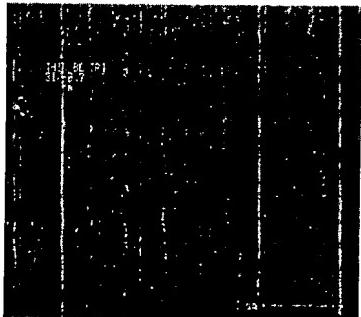
【도 1b】



【도 1c】



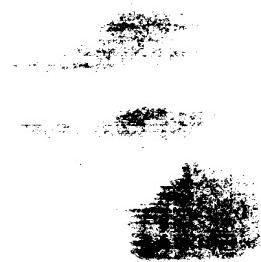
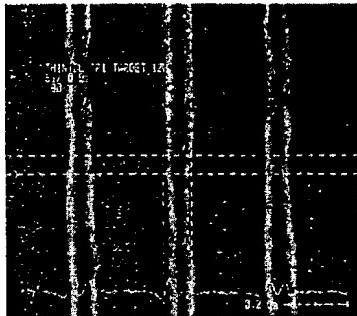
【도 2a】



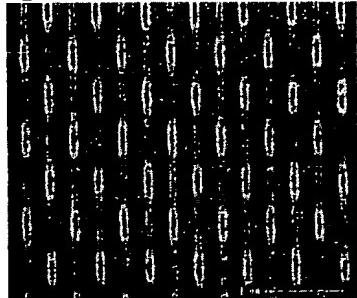
1020010056515

출력 일자: 2001/11/27

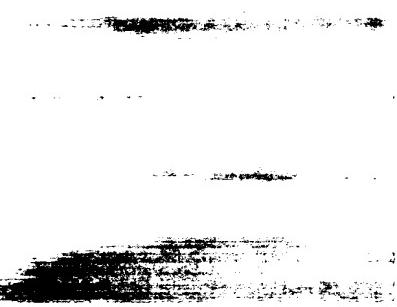
【도 2b】



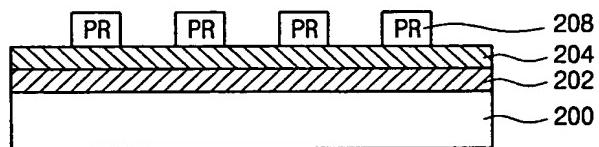
【도 2c】



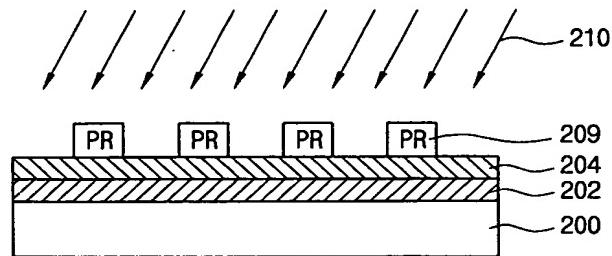
【도 3】



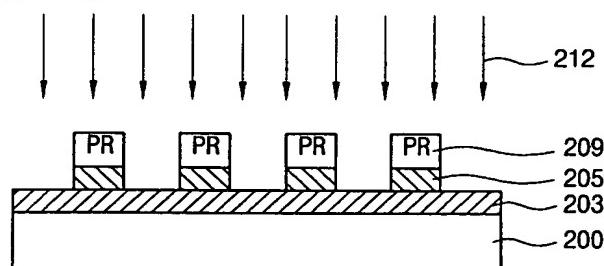
【도 4a】



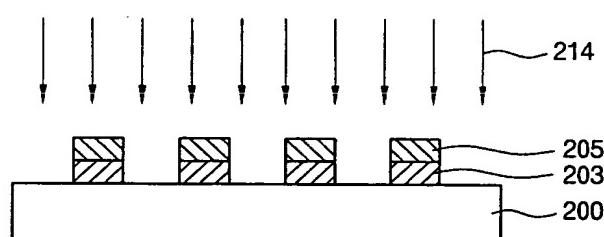
【도 4b】



【도 4c】



【도 4d】



【도 5】

